

【特許請求の範囲】

【請求項1】メモリセル(100,300)であって、第1の方向に延びる上部導体(160,360)と、第2の方向に延びる底部導体(110,310)であって、前記上部導体(160,360)と該底部導体(110,310)との間に重複領域(115,315)を画定し、及び前記上部導体(160,360)との電氣的接続を有する、底部導体(110,310)と、前記上部導体(160,360)及び前記底部導体(110,310)との電氣的接続を有する、前記重複領域(115,315)内に形成されたヒューズ(130,330)と、該ヒューズ(130,330)と電氣的に直列に形成されたアンチヒューズ(180,380)とを含む、メモリセルメモリセル(100,300)。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般にプログラマブルメモリセルに関し、特にワンタイムプログラマブルメモリセルに関する。

【0002】

【従来の技術】近年、半導体素子に対する需要が急激に高まっている。現代社会において、コンシューマ電子装置の普及は容易に目にする事ができる。コンシューマ電子装置の大部分又は全てが、半導体素子の開発によって製造可能になる。コンシューマ電子装置がより小型に、より複雑に、そしてより低価格になるにつれて、今日の市場においては、メモリを含む、更に低価格でより高密度の半導体素子が益々要求されるようになる。

【0003】メモリの分野では、特に不揮発性メモリ、すなわち電源が供給されない場合であってもデータが消去されないメモリに対し、更に密度を増し、コストを下げる事が相変わらず求められている。

【0004】不揮発性メモリは、ワンタイムプログラマブル(OTP)の(すなわち一回限りプログラム可能な)もの、又はリプログラマブルの(すなわち再プログラム可能な)とすることが可能なものである。その名称が示唆するように、OTPメモリは一度だけプログラミングされ、全ての実用的な目的で永続的なものである。大部分のOTPメモリは、1) アンチヒューズ、2) ヒューズ、3) 電荷蓄積(EEPROM)、及び4) マスクROMの4つの基本的なタイプに分類することができる。

【0005】

【発明が解決しようとする課題】上記の既存のOTPメモリ技術は、 $4\lambda^2$ (すなわちクロスポイントメモリの最小セルサイズ) よりも著しく大きなセルサイズに基づくものである。更に、各々の場合に、メモリセルは、単結晶シリコン基板上に構成された1つの平面上にある複数のメモリ素子からなり、そのメモリアレイの周囲にセンス電極及びプログラミング電極が配置される。単結晶シリコンランジスタは、上記技術の場合には複数のメモリ素子からなる集積部品であるため、互いの上にメモリ層

を積層させて密度を増大させることは不可能である。その結果として、高密度、低コストのOTPメモリを製造するのが困難となる。

【0006】

【課題を解決するための手段】一態様では、メモリセルの1つの典型的な実施形態は、第1の方向に延びる上部導体と、第2の方向に延びる底部導体とを含むことが可能である。該上部導体及び底部導体は、2つの導体の交差する場所に重複領域を画定する。該上部導体及び底部導体は互いに電氣的に接続される。メモリセルはまた、上部導体と底部導体との間の重複領域内に形成されるヒューズを含むことが可能である。該ヒューズもまた、上部導体及び底部導体との電氣的接続を有することが可能である。更に、メモリセルは、ヒューズと電氣的に直列なアンチヒューズを含むことが可能である。該アンチヒューズもまた上部導体と底部導体との間に形成することが可能である。該ヒューズは垂直方向に配向され、すなわち、その電流は該ヒューズ内を実質的に垂直方向に流れる。

【0007】別の態様では、メモリセルを製造する方法の1つの典型的な実施形態は、第1の方向に延びる上部導体を形成し、及び第2の方向に延びる底部導体を形成して、該上部導体と底部導体との交差位置に重複領域が画定されるようにする、という各ステップを含むことが可能である。該上部導体及び底部導体は互いに電氣的に接続することが可能である。該方法はまた、上部導体と底部導体との間の交点にヒューズを形成するステップを含むことが可能である。該方法は更に、ヒューズと電氣的に直列にアンチヒューズを形成するステップを含むことが可能である。

【0008】上述の典型的な実施形態は、特定態様の達成を可能にするものである。例えば、メモリセルのサイズを著しく低減させることができる。これにより、非常に低いコストで高密度のOTPメモリセルを提供することが可能となる。また、該メモリセルは、標準的な半導体プロセス及び材料を使用して製造することが可能なものであり、それゆえ、現時点での最新の製造手段以外の設備投資の必要性を殆ど又は全く必要なくすることが可能である。更に、メモリセル内の電流が基板面に対して実質的に垂直(縦方向)に流れるため、隣接する導体間にセルを挿入することが可能となる。詳細には、セルを導体のクロスポイントアレイの交差位置に配置してクロスポイントOTPメモリアレイを形成することが可能となる。該クロスポイントメモリアレイは、各メモリセルの平面の面積が $4\lambda^2$ となるように製造することが可能である。これらのアレイの平面を互いの上に積層して密度を著しく高めることが可能となる。

【0009】

【発明の実施の形態】本発明の特徴は、図面に関連する以下の説明から当業者には明らかとなろう。

【0010】単純化及び例示を目的として、本発明の原理を主にその典型的な実施形態を参照して説明する。しかし、これと同じ原理を多くのタイプのメモリセル及びその製造方法に等しく適用可能であることが当業者には理解されよう。

【0011】一般に、本発明の特定の態様によるメモリセルは、2つの導体の重複領域（例えば交点）に配置される。該メモリセルは一般にアンチヒューズと直列に接続されたヒューズを含む。該アンチヒューズは、最初に高抵抗を有し、臨界電圧又は臨界電流が加えられた際に比較的低い抵抗に変化する素子である。

【0012】図5Aは、本発明の一態様による典型的なアンチヒューズの抵抗特性を示している。図示するように、アンチヒューズは、最初に高抵抗 R_{1AF} を有する。時刻 t_0 で臨界電圧 V_C が印加された際に、アンチヒューズ内に電流が流れ始める。時刻 t_1 でアンチヒューズは破壊されて比較的低い抵抗 R_{2AF} になる。電圧 V_C が印加され続けると、時刻 t_1 後にアンチヒューズ内に大きな電流が流れる。

【0013】アンチヒューズは、絶縁体材料、導電性材料により分離された絶縁体材料からなる多層積層体、導電性の含有物を内部に分散させた絶縁性材料のマトリックス、非晶質及び結晶質半導体材料、相変換材料、又はSi及びシリサイド形成(silicide-forming)金属の多層積層体の組み合わせ等から形成することが可能である。一般に、アンチヒューズは、それ自体に電圧を印加することが可能となるよう2つの導電性材料間に挟まれる。絶縁体材料は、ダイヤモンド等の炭素、 SiO_x 、 SiN_x 、 SiO_xNy 、 AlO_x 、 TaO_x 、 TiO_x 、 AlN_x 等を含み、非晶質及び結晶質半導体材料は、Si、Ge、Si及びGeの混合物、GaAs等を含み、相変換材料は、Si、Ge、As、Se、In、Sn、Sb、Te、Pb、Bi等から選択される少なくとも2つの元素を含む合金を含み、シリサイド形成金属はW、Pt、Pd、Co、Ni、Ti等及びその合金を含む。

【0014】絶縁体材料がアンチヒューズとして用いられる場合には、該アンチヒューズの厚さは0.5～50nmであることが好ましい。しかし、その厚さは、状況に応じて、任意の範囲に設定することが可能である。例えば、かなりの電流が事前降伏状態(pre-breakdown condition)でアンチヒューズ内に流れることが望ましい場合には、絶縁体の厚さを約5nm未満に選定して、あまり高い電圧で大きな量子力学的トンネル電流が流れることができるようにすることが可能である。非晶質及び結晶質半導体材料を用いる場合には、その厚さは1～100nmであることが好ましい。この場合にも、その厚さは変更することが可能である。

【0015】上述のように、アンチヒューズは、最初に高抵抗値を有し、臨界電圧が印加された際に比較的低い抵抗値に変化する素子である。異なる抵抗状態を達成する機構は、種々の材料によって異なる。例えば、相変換

材料から形成されるアンチヒューズは、非晶質状態のとき高抵抗を有し、結晶状態のときに低抵抗を有する。また、多層Si及びシリサイド形成金属から形成されるアンチヒューズは、多層がシリサイドに転化されていないときに高抵抗を有し、該多層がシリサイドに転化されたときに低抵抗を有する。何れの場合にも、高抵抗状態と低抵抗状態との間には何桁もの値の差がある。

【0016】別の例として、絶縁体タイプのアンチヒューズが用いられる場合には、臨界電圧 V_C に至るまで、電子トンネル効果によって、金属—絶縁体—金属という構造を有する絶縁性障壁を通して電流が流れ、そのセルの固有抵抗はかなり大きく、例えば約 $10^7 \Omega \cdot \mu m^2$ になり得る。しかし、臨界電圧 V_C を超えると、その絶縁体を介した金属の移動(migration)に起因して、障壁の降伏が生じ、そのセルの固有抵抗が $100 \Omega \cdot \mu m^2$ 未満まで降下し得る。これに類似した電流移送及び降伏機構は、層状の絶縁体と、導電性の含有物を含む絶縁体においても作用する。

【0017】アンチヒューズとは異なり、ヒューズは最初に低抵抗を有し、臨界電流が流れる際に実質的に開回路まで高抵抗に変化する素子である。ヒューズは、薄膜抵抗とすることが可能であり、半導体（例えば、Si、Ge）、導体（例えば、Al、Cu、Ag、Au、Pt）、低融点材料（例えば、Zn、Sn、Pb、In）、耐火金属（例えば、Ta、W）、遷移金属（Ni、Cr）等、及びそれらの任意の合金のような材料から形成することが可能である。ヒューズが垂直方向に配向されている場合、すなわち、ヒューズ内の電流の方向が実質的に垂直である場合には、更に有利である。これは、垂直方向に配向された（以下「縦形」と称す）ヒューズを用いることで非常に小さな素子を達成することができるからである。

【0018】図5Bは、本発明の一態様による典型的なヒューズの抵抗特性を示している。図示するように、ヒューズは最初に低抵抗 R_{1F} を有する。ヒューズは、時刻 t_1 で臨界電流 I_C が流れ始めるまで低抵抗を保持する。その時点で、 I^2R の加熱によりヒューズの抵抗が増加し、熱暴走に導く。すなわち、抵抗の増加が更なる I^2R の加熱を引き起こし、それが更なる抵抗の増大を引き起こし、これが繰り返される。最終的に、 I^2R の加熱によってヒューズが溶断し、時刻 t_2 で開回路 R_{2F} となる。こうして、ヒューズを有するメモリセルは2つの状態を呈する。第1の（すなわち最初の）状態は抵抗 R_{1F} であり、該抵抗 R_{1F} は、ヒューズ材料及び幾何学的形状の選択を介して指定された値に調整されることができる。第2の（すなわち最後の）状態は R_{2F} であり、開回路となる。

【0019】ヒューズ及びアンチヒューズの組み合わせから形成されるメモリセルのプログラミングは、第2の状態が望まれる場合には、電圧 V_C を印加して臨界電流 I_C を流し、第1の状態が望まれる場合には、そのセルをそのままの状態にしておくことにより行われる。第1及び

第2の状態は、読出電流 V_R を印加して電流の存在又は不存在を検出することにより検出することが可能である。電流の存在はメモリセルが第1の状態にあることを示し、電流の不存在はメモリセルが第2の状態にあることを示すものとなる。

【0020】上記のように、メモリセルは一般に、直列に接続されるヒューズ及びアンチヒューズを含む。図5Cは、本発明の一態様による典型的なヒューズ／アンチヒューズの直列の組み合わせの抵抗特性（実線）及び電流特性（破線）を示している。最初に、その組み合わせの抵抗は、アンチヒューズの高抵抗 R_{1F} によって支配される。しかし、時刻 t_0 において、十分に高い電圧、すなわち V_C が印加されると、先に説明されたように、時刻 t_1 においてアンチヒューズが破壊される。

【0021】この時点では、ヒューズ及びアンチヒューズは何れも、時刻 t_1 の近傍の抵抗線の急激な降下により示すように低抵抗である。その低抵抗に起因して、ヒューズ／アンチヒューズの組み合わせ内に流れる電流が臨界状態になる。すなわち臨界電流 I_C が生成される。これは、先に説明されたように、ヒューズを溶断する。

【0022】熱暴走プロセスは、その組み合わせの抵抗を、最終的に時刻 t_2 でヒューズが溶断して開回路になるまで増大させるものとなる。この時点で、その組み合わせの抵抗は開回路 R_{2F} によって支配される。これに応じて、図5Cに破線で示すように、時刻 t_2 で電流が0になる。 t_0 と t_2 との間の時間は非常に短く、このため短時間でプログラミングを行うことが可能となる。

【0023】こうして、互いに直列に接続されたヒューズ及びアンチヒューズを有するメモリセルは2つの状態を呈する。第1の（すなわち最初の）状態は、有限の抵抗値（実質的に R_{1F} により支配される）を呈する。この第1の状態では、その抵抗値が有限であるため、一定量の電流が流れることが可能である。また第2の状態は、無限の抵抗値（開回路 R_{2F} ）を呈する。その結果として、セルに電流が流れないことになる（図5Cの破線を参照）。

【0024】メモリセルにとってアンチヒューズは絶対に必要なものではないことに留意されたい。しかし、メモリセルと直列に接続されたダイオード又は抵抗を含まないクロスポイントメモリアレイの場合には、アンチヒューズは、特定のメモリセルをプログラミングするための選択性を提供する。また、アンチヒューズの初期の高抵抗によって、アレイ内の個々のメモリ素子をセンスする能力を危機にさらすことなくヒューズの個々の抵抗値を任意の値まで低減させることが可能となる。

【0025】更に、アンチヒューズの抵抗値は、メモリセルに異なるレベルの電圧が供給されるのに応じて変動することができる。この特性を使用して、メモリ素子においてアンチヒューズが提供するメモリセル選択機能を改善することができる。

【0026】図1Aは、本発明の原理によるメモリセル100の第1の実施形態の断面図を示している。図1Aに示すように、メモリセル100の第1の実施形態は、底部導体110と、その底部導体110上に配置された第1の絶縁体120とを含むことが可能である。第1の絶縁体120は、閉じられた領域185の周囲に形成される。以下に示すように、閉じられた領域185は実質的に、メモリセルの交点によって画定される領域を占有する。

【0027】底部導体110を形成するために、アルミニウム、銅、金、タングステン等、及びその任意の合金といった導電性材料を用いることができる。ポリシリコンを使用して底部導体110を形成することも可能である。第1の絶縁体120を形成するために、シリコン酸化物及び窒化物、アルミニウム酸化物及び窒化物、シリコンオキシニトリド(oxynitride)等を用いることができる。

【0028】メモリセル100はまた、アンチヒューズ180を含むことが可能であり、該アンチヒューズ180は、閉じられた領域185を実質的に占有する。既述のように、アンチヒューズ180は、絶縁体材料、導電性材料により分離される絶縁体材料からなる多層積層体、導電性の含有物を分散させた絶縁性材料のマトリックス、非晶質及び結晶質半導体材料、相変性材料、Si及びシリサイド形成金属の多層積層体の組み合わせ等から形成することができる。図1Aは、アンチヒューズが薄いウェーハとしてパターンニングされることを示している。しかし、これは絶対に必要なものではない。

【0029】メモリセル100は更に、ヒューズ130及び絶縁性プラグ140を含むことが可能である。ヒューズ130及び絶縁性プラグ140は、それぞれ、アンチヒューズ180上の閉じられた領域185のうちの縁部及び中央部を実質的に占有することが可能である。絶縁体120、ヒューズ130、及び絶縁性プラグ140の上側は、同一平面をなすことが可能である。

【0030】ヒューズ130を形成するために、半導体（例えば、Si、Ge）、導体（例えば、Al、Cu、Ag、Au、Pt）、低融点材料（例えば、Zn、Sn、Pb、In）、耐火金属（例えば、Ta、W）、遷移金属（Ni、Cr）等、及びその任意の合金のような材料を用いることができる。また、一般に第1の絶縁体120を形成するために用いられる材料を絶縁性プラグ140を形成するために用いられることが可能であるが、特定の実施形態では、絶縁性プラグ140をエッチングして空隙を残すことが望ましい場合がある。

【0031】絶縁性プラグ140は絶対に必要なものではないことに留意されたい。絶縁性プラグ140は、基板面と平行な平面におけるヒューズ130の断面積（例えば、アンチヒューズ180と接触するヒューズ130の面積）の調整に資するものとなる。おそらくは、メモリセルを適当な大きさの表面積で製造して絶縁性プラグ140を不要にすることが可能である。

【0032】メモリセル100は更に、第2の絶縁体150及び上部導体160を含むことが可能であり、その両者とも、第1の絶縁体120、ヒューズ130、及び絶縁性プラグ140上に配置される。上部導体160は、底部導体110を形成するために用いられる材料と同様の材料から形成することが可能であり、第2の絶縁体150は、第1の絶縁体120及び絶縁性プラグ140を形成するために用いられる材料と同様の材料から形成することが可能である。

【0033】図1Aはまた、ヒューズ130の内壁が絶縁性プラグ140に隣接し、ヒューズ130の外壁が第1の絶縁体120に隣接することを示している。この形状は、ヒューズ130の横方向の断熱性を提供し、電流を流すことによるヒューズ130の一層効率的な加熱を可能にする。しかし、ヒューズの壁部の境界が絶対に絶縁性プラグ140及び第1の絶縁体120によって画定される必要はない。

【0034】また絶対に必要というわけではないが、ヒューズ130を縦形とし、すなわち、ヒューズ130内の電流の方向を実質的に垂直方向とすることが可能である。これにより、メモリセルを隣接する導体間に挿入することが可能となる。詳細には、セルを導体のクロスポイントアレイの交差位置に配置してクロスポイントOTPメモリアレイを形成することができる。これらのアレイ面を互いに積層し、これにより密度を著しく高めることが可能となる。ヒューズ130の垂直方向の高さは、該ヒューズ130の幅と等しいかそれ以上とすることが可能であり、場合によっては著しく大きくすることが可能である。

【0035】更に、図1Aは、上部導体160が閉じられた領域185の上側でヒューズ130の全体を覆うことを示しているが、これは本発明を実施するための要件ではない。図1Aはまた、底部導体110が閉じられた領域185の底部でアンチヒューズ180の全体を覆うことを示している。完全に覆うことが図示されているが、必要なのは、上部導体160と底部導体110との間に導電性経路が存在することだけである。したがって、底部導体110、ヒューズ130、アンチヒューズ180、及び上部導体160の間に電気的接続が存在することになる。底部導体110、ヒューズ130、アンチヒューズ180、及び上部導体160は、互いに物理的に接触する必要はない。

【0036】図1Bは、図1Aの第1の実施形態の平面図であり、閉じられた領域185の実質的に縁部及び中央部をそれぞれ占有するヒューズ130及び絶縁性プラグ140を示しており、該閉じられた領域185は、上部導体160と底部導体110との交点115内に配置されている。アンチヒューズ180（図1Bには図示せず）は、絶縁性プラグ140及びヒューズ130と同じ形状を有することが可能であり、又はヒューズ130を越えて延びる異なる形状を有することが可能である。上部導体160及び底部導体110は、それぞれの方向に延びて交点115を形成する（例示のため破線領域で示す）。閉じられた領域185は、該交点115内に完全に配置されるよう図示されているが、これは絶

対に必要ではない。上記のように、必要なことは、閉じられた領域185内の構造を介して上部導体160と底部導体110との間に電気的接続が維持されることだけである。

【0037】単純化のため、第1及び第2の絶縁体120、150は図1Bに含まれない。また、例示のため、ヒューズ130及び絶縁性プラグ140は交点に示されている。しかし、上部導体160は、ヒューズ130及び絶縁性プラグ140の全体を覆うことが可能である。また、交点115が図1Bに示されているが、必要なのは、上部導体160と底部導体110との間に重複領域を形成することだけであり、すなわち、第1及び第2の方向が異なる必要はない。

【0038】また図1Bでは、閉じられた領域185は円筒形であるものとして示され、ヒューズ130は閉じられた領域185の環状部を実質的に占有し、絶縁性プラグ140は閉じられた領域185の実質的に中央を占有している。しかし、閉じられた領域185の形状は、そのように限定されるものではなく、長方形、正方形、楕円形、又は他の任意の囲まれた形状といった別の形状を含むことが可能である。この場合も、絶縁性プラグ140は、閉じられた領域185の内部を部分的にのみ満たすことが可能である。

【0039】図1C及び図1Dは、図1Aの第1の実施形態の変形例を示している。図1Cでは、図示のように薄い導体190を配置してメモリセルの性能を改善することが可能となる。図1Dでは、それと同じ目的で2つの薄い導体190、190bが配設されている。薄い導体190及び／又は190bは、アンチヒューズ180に隣接する材料を別個に制御することを可能にし、ヒューズ130とアンチヒューズ180との間に一層大きな接触領域を提供する。薄い導体は、アルミニウム、銅、ニッケル、チタン、タングステン、金、金属窒化物、ドーパドシリコン、タンタル等、及びその合金から形成することが可能である。

【0040】図1Cでは、薄い導体190は、閉じられた領域185内のアンチヒューズ180とヒューズ130との間に配置される。1つの薄い導体しか含まれないことになる場合には、これは、アンチヒューズ180の上側表面の面積を増大させるために好ましい配置である。図1Dでは、第1の薄い導体190は、図1Cの場合のように、アンチヒューズ180とヒューズ130との間に配置されるが、底部導体110とアンチヒューズ180との間に配置された第2の薄い導体190bも含んでいる。

【0041】薄い導体190及び／又は190bを含ませる1つの理由は、上部導体160又は底部導体110内の材料よりも低い熱伝導性を有する材料を導入することにある。低い熱伝導性を有する層は、上部導体160又は底部導体110からメモリセルを熱的に隔離させるのに資することが可能なものである。この熱的な隔離により、I²Rプロセスにより生成される熱を一層効率的に利用することが可能となる。

【0042】アンチヒューズとしての非晶質又は結晶質

半導体の使用は、薄い導体190及び／又は190bを含ませるための更に別の理由を導入するものとなる。第1に、半導体と接触する導体材料の選択は、整流又はオーム接触が形成されるか否かを決定するものとなる。この接触部の特性はアンチヒューズ180の機能に影響を与え得るものである。第2に、特定の半導体アンチヒューズでは、半導体層を介した金属の移動(migration)により低抵抗状態が形成される。このプロセスは、半導体に隣接する金属に依存する。薄い導体190及び／又は190bは、導体110、160、及び半導体又はアンチヒューズに隣接する金属層の選択の柔軟性を提供する。

【0043】上述のように、絶縁性プラグ140のうちの全部又は全てをエッチングして絶縁性プラグ140の領域内に空隙を残すことが可能である。この構成は、ヒューズ130に隣接して極端に低い熱伝導性を提供し、溶解し又は気化したヒューズ材料が入るための空間を提供する。この機構は、ヒューズ130を溶断するために必要とされる電力を低減させるものとなる。

【0044】図2Aないし図2Gは、図1Aのメモリセルの第1の実施形態を製造するための方法の典型的な一実施形態の断面図を示している。図2Aに示すように、導電性材料を堆積させパターニングして底部導体110を形成することが可能である。次いで、図示するように、底部導体110上にアンチヒューズ材料180'を堆積させることが可能である。パターニングプロセスの一部として、底部導体110は、アンチヒューズ材料180'を堆積させる前に、化学機械研磨処理(CMP: Chemical-Mechanical Polishing)といった周知の方法を用いることにより平坦化させることが可能である。同様に、アンチヒューズ材料180'もまた平坦化させることが可能である。

【0045】次に、アンチヒューズ材料180'上に誘電体薄膜140'を堆積させることが可能である。次いで、図2Bに示すように、誘電体薄膜140'をエッチングして絶縁性プラグ140を形成することが可能である。絶縁性プラグ140は、標準的なリソグラフィ及びエッチング方法を使用して形成することが可能である。

【0046】次いで、図2Cに示すように、ヒューズ材料130'をアンチヒューズ材料180'上と更に絶縁性プラグ140上とに堆積させることが可能である。原子層堆積(ALD: Atomic Layer Deposition)といった堆積方法を使用してヒューズ材料130'のコンフォーマルコーティングと該ヒューズ材料の厚さの精確な調整とを確実にすることが可能である。次いで、図2Dに示すように、ヒューズ材料130'をエッチングして主に絶縁性プラグ140の壁部にヒューズ130を残すことが可能である。このプロセスは、縦形ヒューズ130を作製するのに非常によく適したものである。ヒューズ130は、イオンエッチング、反応性イオンエッチング、又はその他のエッチング方法を使用してヒューズ材料130'の異方性(anisotropic)エッチングを行うことにより形成することが可能である。

【0047】ヒューズ130(この場合には縦形ヒューズ)が閉じられた領域185内に実質的に形成されることに留意されたい。該エッチングプロセスはまた、閉じられた領域185に対する周辺領域で底部導体110が露出するようにアンチヒューズ材料180'をエッチングしてアンチヒューズ180を残すことが可能であることに留意されたい。絶縁体アンチヒューズの特定の例では、薄膜の平面内に導電性が存在しないため、アンチヒューズ材料180'をパターニングする必要はない。更に、縦形ヒューズ130の垂直方向の高さ「h」と閉じられた領域185の幅「w」との比を5:1又はそれ以上といった大きなものとすることが可能であることにも留意されたい。異方性エッチングが用いられる場合、そのプロセスは基本的に、主に絶縁性プラグ140の垂直方向の側壁上にヒューズ130を残すものとなる。このため、横方向の面積の消費が最小限に保たれ、このためヒューズ130の横方向の厚さ「t」を精確に調整することが可能となる。ヒューズ130の垂直方向の高さ「h」と横方向の厚さ「t」との比を30:1又はそれ以上といった非常に大きなものとすることが可能であることに留意されたい。また、ヒューズ130が閉じられた領域185の周辺にしか存在しない一方、アンチヒューズ180が閉じられた領域185の少なくとも底部全体を覆うため、ヒューズ領域に対するアンチヒューズ領域の比もまた著しく大きくすることが可能である。

【0048】次いで、図2Eに示すように、閉じられた領域185の周辺の外側の領域を覆う底部導体110上に絶縁性材料120'を堆積させることが可能である。次いで該絶縁性材料120'をパターニングして図2Fに示すように第1の絶縁体120を形成する。該第1の絶縁体120は、やはりCMP及び／又はその他の平坦化方法を使用して絶縁性材料120'を平坦化させてヒューズ130及び絶縁性プラグ140を露出させることにより、パターニングすることが可能である。実際に、第1の絶縁体120、ヒューズ130、及び絶縁性プラグ140の上側は、平面を画定することが可能である。この時点で、縦形ヒューズ130は、その全ての垂直方向の側面で絶縁体に隣接することになる。この構成は、ヒューズ130からその周囲への熱伝達を低減させるものとなる。

【0049】次いで、このプロセスを完了させるために、ヒューズ130、絶縁性プラグ140、及び第1の絶縁体120上で第1の方向に上部導体160を堆積させパターニングすることが可能である。必要であれば、上部導体160及び第1の絶縁体120上に第2の絶縁体150を堆積させ、これをCMPその他の平坦化方法を使用して平坦化させることが可能である。その結果として得られる構造を図2G(図1Aと同じ)に示す。

【0050】絶縁性プラグ140の領域内に空隙が必要とされる場合には、上部導体160の画定後にウェットエッチング又はドライエッチングにより絶縁性材料を除去することが可能である。上部導体160が絶縁性プラグ140を

完全に覆っていない場合には、絶縁性プラグ140へのアクセスが可能である。換言すれば、空隙領域を生成するために、上部導体160及び絶縁性プラグ140を互いにずらして配置して、該絶縁性プラグ140の一部がエッチングのために露出するようにすることが可能である。空隙を形成した後、第2の絶縁体150を堆積させパターニングして、メモリセルを完成させることが可能である。

【0051】図2A～図2Gにより示す各ステップを修正して図1C及び図1Dに示す変形例を作製することが可能である。例えば、図1Cに示すようにアンチヒューズ180とヒューズ130との間に薄い導体190を形成するために図2Aに示す作製ステップを図2A-2に置換することが可能である。図2A-2に示すように、アンチヒューズ材料180'上に薄い導体材料を堆積させてパターニングすることが可能である。次いで薄い導体材料190'の上側に誘電体材料140'を堆積させることが可能である。次いで、この製造プロセスは、上述し図2B～図2Gに示したように進めることが可能である。エッチングを行ってヒューズ130を形成する際に薄い導体190及びアンチヒューズ180をエッチングして図2D-2に示すように底部導体110を露出させることに留意されたい。

【0052】図1Dに示すように第1及び第2の薄い導体190、190bを作製するために、図2Aに示す作製ステップを図2A-3に置換することが可能である。図示するように、第2の薄い導体材料190b'を形成するために底部導体110上に薄い導体材料を堆積させることが可能であり、次いで上述のようにアンチヒューズ180を形成することが可能である。次いで、第1の薄い導体材料190'を形成するために、別の薄い導体材料を堆積させることが可能である。次いで、第1の薄い導体材料190'の上側に誘電体材料140'を堆積させることが可能である。この作製プロセスは、上述し図2B～図2Gに示したように進めることが可能である。エッチングを行ってヒューズ130を形成する際に、第1及び第2の薄い導体190、190b及びアンチヒューズ180をエッチングして図2D-3に示すように底部導体110を露出させることに留意されたい。

【0053】図示しないが、図1C及び図1Dに示す変形例に加えて他の変形形態もまた実施可能である。例えば、より多くの薄い導体又は他の配置の薄い導体を配設してヒューズ130及び／又はアンチヒューズ180の性能を高めることが可能である。

【0054】図3Aは、本発明の一態様によるメモリセル300の第2の実施形態を示す断面図である。図示するように、メモリセル300は、ヒューズ330と、該ヒューズ330の側面に形成された絶縁体320とを含むことが可能である。後に分かるように、ヒューズ330の内部は完全に充填することも完全に充填しないことも可能である。

【0055】セル300は底部導体310を含むことが可能である。ヒューズ330の垂直部分と底部胴体310とが「U」

字領域385を形成することに留意されたい。この「U」字領域の概念は、図3Dに一層明確に示されており、この場合、ヒューズ330の2つの垂直部分と底部導体310とが「U」字領域385を形成し、すなわちヒューズ330に水平部分は存在しない。図3Aのヒューズ330の水平部分は本発明を実施するために必須のものではない。

【0056】セル300は更に、「U」字領域385の内部の一部又は実質的に全てを占有する絶縁性プラグ340を含むことが可能である。セル300は更に、「U」字領域385及び絶縁体320の上側にアンチヒューズ380及び上部導体360を含むことが可能である。ヒューズ330及び絶縁性プラグ340は平面を画定することが可能であることに留意されたい。

【0057】メモリセルの様々な部分を形成するために使用される材料は、上述した通りであり、したがって繰り返して説明しないこととする。この場合も、上述の理由で、絶縁性プラグ340は絶対に必要なものではない。更に、絶縁性プラグ340が存在する際に、絶縁体320、ヒューズ330、及び絶縁性プラグ340の上側表面を同一平面にすることが可能である。

【0058】図3Bは、図3Aの第2の実施形態の平面図を示している。図示するように、上部導体360は第1の方向に延びることが可能である。アンチヒューズ380（図3Bでは見えない部分）もまた第1の方向に延びることが可能であることに留意されたい。該アンチヒューズ380はまた、ヒューズ330及び絶縁性プラグ340の上側で第2の方向に延びることが可能である。実際に、アンチヒューズ材料380'が絶縁体である場合には、アンチヒューズ380をパターニングする必要がない。これは、自明のこととして該アンチヒューズ材料380'が薄膜の平面において絶縁性を有するからである。ヒューズ330、ひいては「U」字領域385（絶縁性プラグ340及び底部導体310（図3Bには図示せず）を含む）は、第2の方向に延び、これにより交差位置で交点を画定することが可能である。

【0059】図3C～図3Eは、図3Aの第2の実施形態の変形例を示している。図3Cでは、ヒューズ330とアンチヒューズ380との間に薄い導体390を配置して、第1の実施形態の変形例に関して先に説明したようにメモリセル300の性能を改善することが可能である。薄い導体390の配置は変更することが可能であり、図3Cに示す配置に限定されないことに留意されたい。

【0060】この場合も、上部導体360のように第1の方向に延びる代わりに、薄い導体390がヒューズ330の上側及び上部導体360の下側で「U」字領域385の一部を占有することが可能である。換言すれば、交点315により画定される領域に薄い導体390を実質的に限定することが可能である。

【0061】図3Dは、「U」字領域385を明確に示すことに加えて、図3Aの第2の実施形態の変形例も示して

いる。上述のように、ヒューズ330の水平部分は、本発明を実施するのに必須のものではない。図3Dはこの概念を例証するものである。

【0062】更に図3Eでは、薄い導体390は、「U」字領域385の全体を覆う必要はない。この変形例では、薄い導体390が「U」字領域385の実質的に内部に形成され、ヒューズ330がアンチヒューズ380と接触した状態になる。多数の他の変形例が実施可能であり、それらもまた本発明の範囲内にあることに留意されたい。

【0063】図3A～図3Eに関連するメモリセルの上記説明は、ヒューズ330、絶縁性プラグ340、及び「U」字領域385が、底部導体310と共に第2の方向に延びることを示しているが、この方向は本発明を実施するために必要とされるものではない。実際に、ヒューズ330は、上部導体360に関連して第1の方向に延びることが可能である。この場合には、ヒューズ330の垂直部分と上部導体360とが逆「U」字領域385を形成する。絶縁性プラグ340は、やはり逆「U」字領域385の一部又は実質的に全てを占有することが可能である。メモリセル300は更に、底部導体310上方で逆「U」字領域385の底部を実質的に占有するアンチヒューズ380を含むことが可能である。

【0064】図4A～図4Gは、図3Aのメモリセル300の第2の実施形態を作製する方法の典型的な実施形態の断面図を示している。図4Aに示すように、絶縁性材料を堆積させパターニングして絶縁体320を形成することが可能である。絶縁体320は、「U」字領域385が形成されることになるトレンチを画定するようパターニングすることが可能である。この場合も、閉じられた領域385の高さと幅との比を大きく(5:1又はそれ以上に)することが可能である。

【0065】次いで、図4Bに示すように、該トレンチ内に、更には絶縁体320上に、ヒューズ材料330'を堆積させることが可能である。この堆積は必然的にヒューズ330の「U」字形状を形成するものとなる。ALD等のような堆積方法を使用して第1の絶縁体320(垂直方向の壁部を含む)のコンフォーマルコーティングを達成することが可能である。次いで、「U」字領域385内を含めてヒューズ材料330'上に導体材料310'を堆積させる。

【0066】次いで、図4Cに示すように、CMP等の標準的な方法を使用してヒューズ材料330'及び導体材料310'を平坦化させることが可能である。この時点で、絶縁体320、底部導体310、及びヒューズ330が同一平面となることが可能である。

【0067】次いで、図4Dに示すように、ウェットエッチング、反応性イオンエッチング、イオンミリング等のエッチング技術を使用して底部導体310を所定の深さまで選択的にエッチングして、該底部導体310が「U」字領域385の横方向部分を形成するようにすることが可能である。

【0068】次いで、図4Eに示すように、絶縁性プラグ材料340'を堆積させて「U」字領域385の内部を充填し、その結果として得られる表面を平坦化させることが可能である。この時点で、図4Fに示すように、絶縁性プラグ340、絶縁体320、及びヒューズ330を同一平面とすることが可能となる。

【0069】次いで、このプロセスを完了させるために、アンチヒューズ材料及び別の導体材料を堆積させパターニングして、図4G(図3Aと同じ)に示すようにアンチヒューズ380及び上部導体360を形成することが可能である。導体360を堆積させる前にアンチヒューズ380を平坦化させることが可能であることに留意されたい。また、上部導体360の平坦化は作製プロセスの一部とすることが可能である。

【0070】当業者であれば、図4A～図4Gに示す各ステップを修正して図3C及び図3Eに示すような変形例を作製することが可能である。この場合も、第1の実施形態に関して説明した空隙と同様の空隙を形成することが可能である。

【0071】本発明をその典型的な実施形態に関して説明してきたが、当業者であれば、本発明の真の思想及び範囲から逸脱することなく、上記の本発明の実施形態に対して様々な変更を加えることが可能であろう。本明細書で用いた用語及び説明は、例示のみを目的として述べたものであり、本発明を限定することを意味するものではない。詳細には、本発明の方法を例を用いて説明したが、該方法の各ステップは、本開示とは異なる順序で又は同時に実行することが可能である。当業者であれば、上述その他の変形形態を、特許請求の範囲及びその等価物により規定される本発明の思想及び範囲内で実施可能であることが理解されよう。

【0072】以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示している。

1. メモリセル(100,300)であって、第1の方向に延びる上部導体(160,360)と、第2の方向に延びる底部導体(110,310)であって、前記上部導体(160,360)と該底部導体(110,310)との間に重複領域(115,315)を画定し、及び前記上部導体(160,360)との電氣的接続を有する、底部導体(110,310)と、前記上部導体(160,360)及び前記底部導体(110,310)との電氣的接続を有する、前記重複領域(115,315)内に形成されたヒューズ(130,330)と、該ヒューズ(130,330)と電氣的に直列に形成されたアンチヒューズ(180,380)とを含む、メモリセルメモリセル(100,300)。
2. 前記ヒューズ(130,330)が、その中央部を実質的に中心として該ヒューズ(130,330)内に空隙が存在するような形状を有している、前項1に記載のメモリセル(100,300)。
3. 前記ヒューズ(130,330)が、前記重複領域(115,315)付近の閉じられた領域(185,385)を実質的に占有し、前

記メモリセル(100,300)が更に、前記閉じられた領域(185,385)の中央部を実質的に占有する絶縁性プラグ(140,340)であって、前記ヒューズ(130,330)の内壁が該絶縁性プラグ(140,340)に隣接する、絶縁性プラグ(140,340)と、前記閉じられた領域(185,385)の周囲に形成された絶縁体(120,320)であって、前記ヒューズ(130,330)の外壁が該絶縁体(120,320)に隣接する、絶縁体(120,320)とを含む、前項1に記載のメモリセル(100,300)。

4. 前記ヒューズ(130,330)が、前記重複領域(115,315)付近の閉じられた領域(185,385)を実質的に占有し、前記メモリセル(100,300)が更に、前記ヒューズ(130,330)と前記アンチヒューズ(180,380)との間の前記閉じられた領域(185,385)内に形成された薄い導体(190,390)を含む、前項1に記載のメモリセル(100,300)。

5. 前記薄い導体(190,390)が第1の薄い導体(190,390)であり、前記メモリセル(100,300)が更に、前記アンチヒューズ(180,380)と前記底部導体(110,310)及び前記上部導体(160,360)の一方との間の前記閉じられた領域(185,385)内に形成された第2の薄い導体(190b,390b)を含む、前項4に記載のメモリセル(100,300)。

6. メモリセル(100,300)を形成するための方法であって、第1の方向に延びる上部導体(160,360)を形成し、第2の方向に延びる底部導体(110,310)を形成して、前記上部導体(160,360)と前記底部導体(110,310)との間の交点に重複領域(115,315)を画定し、該底部導体(110,310)が前記上部導体(160,360)との電気的接続を有し、前記上部導体(160,360)及び前記底部導体(110,310)との電気的接続を有するヒューズ(130,330)を前記重複領域(115,315)内に形成し、該ヒューズ(130,330)と電気的に直列なアンチヒューズ(180,380)を形成する、という各ステップを含む方法。

7. 前記ヒューズ(130,330)が、前記重複領域(115,315)付近の閉じられた領域(185,385)を実質的に占有し、前記方法が更に、前記閉じられた領域(185,385)の中央部を実質的に占有する絶縁性プラグ(140,340)を形成して、該絶縁性プラグ(140,340)に前記ヒューズ(130,330)の内壁が隣接するようにし、前記閉じられた領域(185,385)の周囲に絶縁体(120,320)を形成して、該絶縁体(120,320)に前記ヒューズ(130,330)の外壁が隣接するようにする、という各ステップを含む、前項6に記載の方法。

8. 前記ヒューズ(130,330)とアンチヒューズ(180,380)との間の前記閉じられた領域(185,385)内に薄い導体(190,390)を形成するステップを更に含む、前項7に記載の方法。

9. 前記薄い導体(190,390)が第1の薄い導体(190,390)であり、前記方法が更に、前記アンチヒューズ(180,380)と、前記底部導体(110,310)及び前記上部導体(160,360)の一方との間の前記閉じられた領域(185,385)内に第2の薄い導体(190b,390b)を形成するステップを含む、

前項8に記載の方法。

10. 前記アンチヒューズ(180,380)の端子間電圧の変化に応じて該アンチヒューズ(180,380)の抵抗値が変化する、前項1に記載のメモリセル(100,300)。

【図面の簡単な説明】

【図1A】本発明の原理によるメモリセルの第1の実施形態を示す断面図である。

【図1B】メモリセルの交点の性質を示す、図1Aの第1の実施形態の平面図である。

【図1C】図1Aの第1の実施形態の変形例を示す断面図である。

【図1D】図1Aの第1の実施形態の変形例を示す断面図である。

【図2A】メモリセルの第1の実施形態を作製する方法の典型的な一実施形態を示す断面図である(1/7)。

【図2B】メモリセルの第1の実施形態を作製する方法の典型的な一実施形態を示す断面図である(2/7)。

【図2C】メモリセルの第1の実施形態を作製する方法の典型的な一実施形態を示す断面図である(3/7)。

【図2D】メモリセルの第1の実施形態を作製する方法の典型的な一実施形態を示す断面図である(4/7)。

【図2E】メモリセルの第1の実施形態を作製する方法の典型的な一実施形態を示す断面図である(5/7)。

【図2F】メモリセルの第1の実施形態を作製する方法の典型的な一実施形態を示す断面図である(6/7)。

【図2G】メモリセルの第1の実施形態を作製する方法の典型的な一実施形態を示す断面図である(7/7)。

【図2A-2】図1C及び図1Dに示す変形形態を作製するための、メモリセルの第1の実施形態を作製する方法の変形例である(1/2)。

【図2D-2】図1C及び図1Dに示す変形形態を作製するための、メモリセルの第1の実施形態を作製する方法の変形例である(2/2)。

【図2A-3】図1C及び図1Dに示す変形形態を作製するための、メモリセルの第1の実施形態を作製する方法の変形例である(1/2)。

【図2D-3】図1C及び図1Dに示す変形形態を作製するための、メモリセルの第1の実施形態を作製する方法の変形例である(2/2)。

【図3A】本発明の原理によるメモリセルの第2の実施形態を示す断面図である。

【図3B】メモリセルの交点の性質を示す、図3Aの第2の実施形態の正面図である。

【図3C】図3Aの第1の実施形態の変形例を示す断面図である。

【図3D】図3Aの第1の実施形態の変形例を示す断面図である。

【図3E】図3Aの第1の実施形態の変形例を示す断面図である。

【図4A】メモリセルの第2の実施形態を作製する方法

の典型的な一実施形態を示す断面図である(1/7)。

【図4 B】メモリセルの第2の実施形態を作製する方法の典型的な一実施形態を示す断面図である(2/7)。

【図4 C】メモリセルの第2の実施形態を作製する方法の典型的な一実施形態を示す断面図である(3/7)。

【図4 D】メモリセルの第2の実施形態を作製する方法の典型的な一実施形態を示す断面図である(4/7)。

【図4 E】メモリセルの第2の実施形態を作製する方法の典型的な一実施形態を示す断面図である(5/7)。

【図4 F】メモリセルの第2の実施形態を作製する方法の典型的な一実施形態を示す断面図である(6/7)。

【図4 G】メモリセルの第2の実施形態を作製する方法の典型的な一実施形態を示す断面図である(7/7)。

【図5 A】本発明の一態様による典型的なアンチヒュー

ズの抵抗特性を示すグラフである。

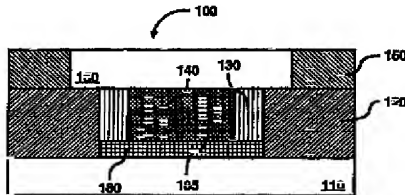
【図5 B】本発明の一態様による典型的なヒューズの抵抗特性を示すグラフである。

【図5 C】本発明の一態様による典型的なヒューズ／アンチヒューズの直列の組み合わせの抵抗及び電流特性を示すグラフである。

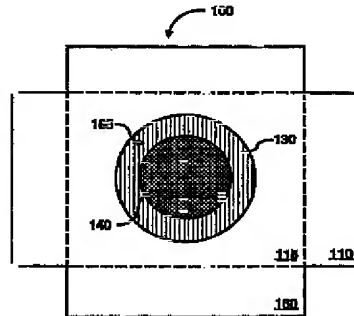
【符号の説明】

100, 300	メモリセル
110, 310	底部導体
115, 315	重複領域
130, 330	ヒューズ
160, 360	上部導体
180, 380	アンチヒューズ

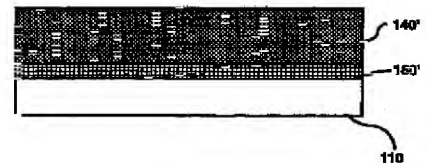
【図1 A】



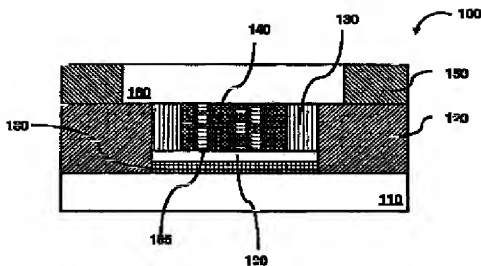
【図1 B】



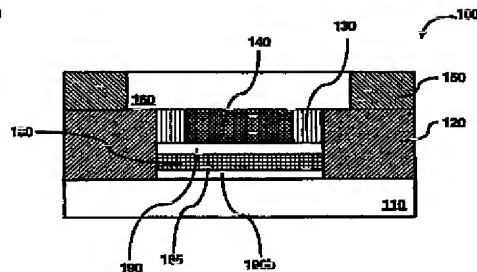
【図2 A】



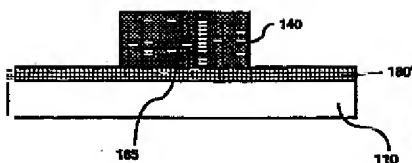
【図1 C】



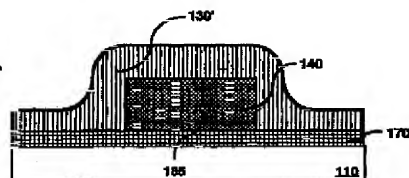
【図1 D】



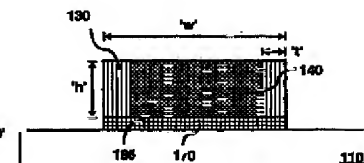
【図2 B】



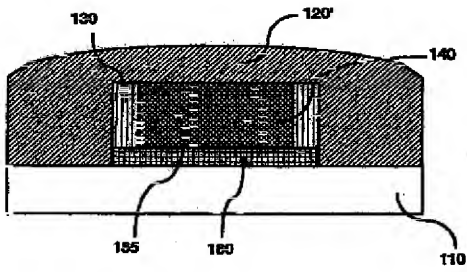
【図2 C】



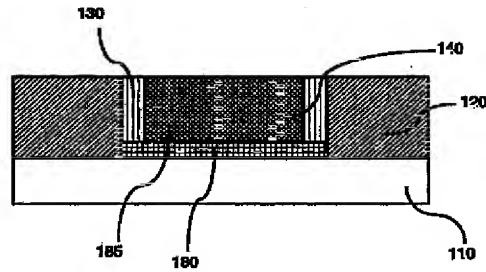
【図2 D】



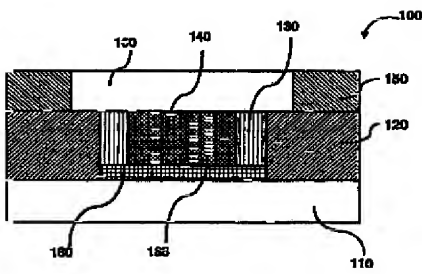
【図2E】



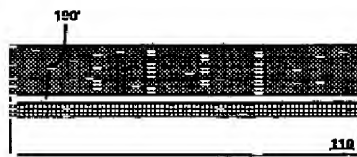
【図2F】



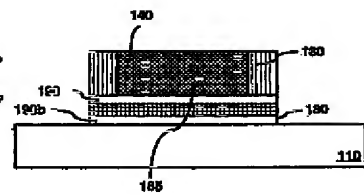
【図2G】



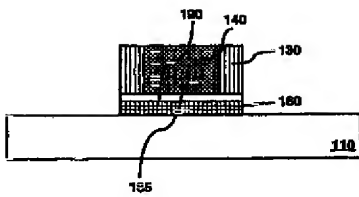
【図2A-2】



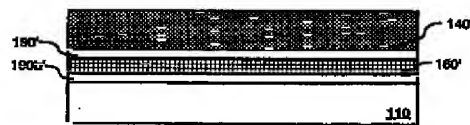
【図2D-3】



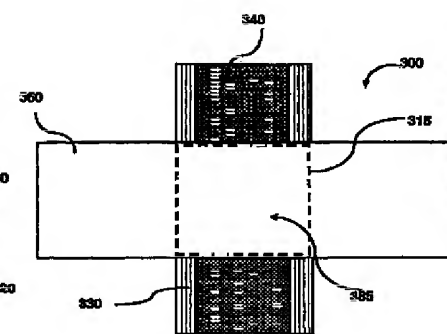
【図2D-2】



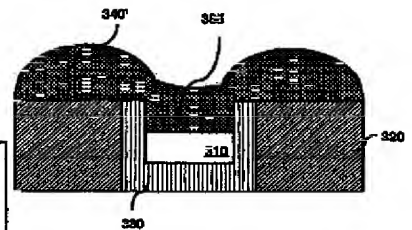
【図2A-3】



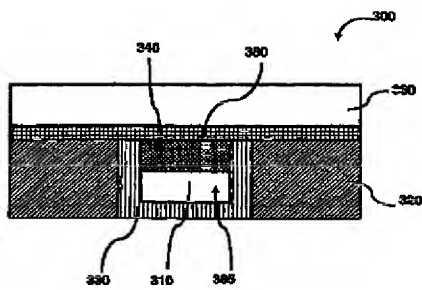
【図3B】



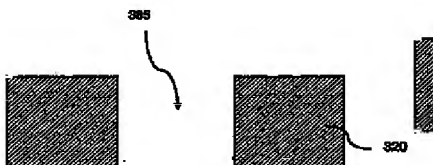
【図4E】



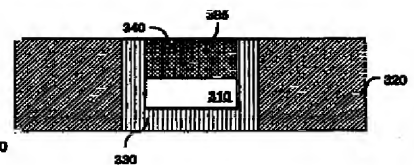
【図3A】



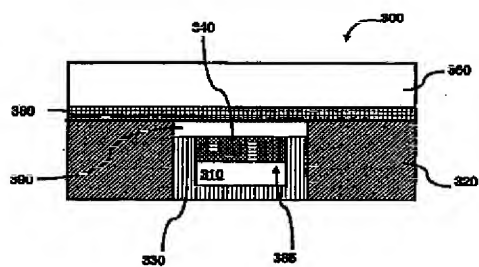
【図4A】



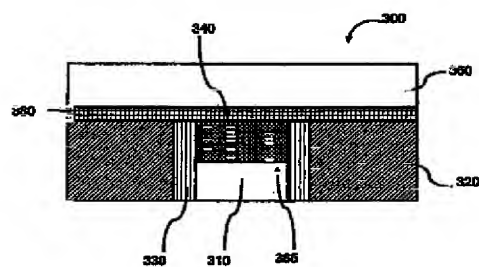
【図4F】



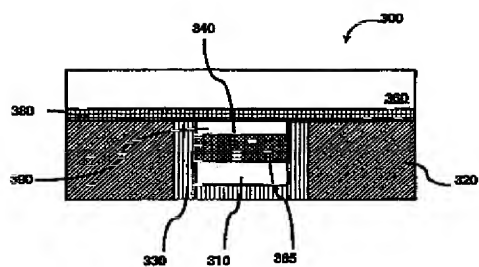
【図3C】



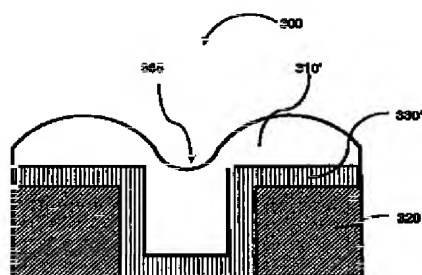
【図3D】



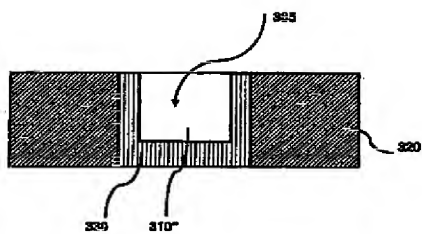
【図3E】



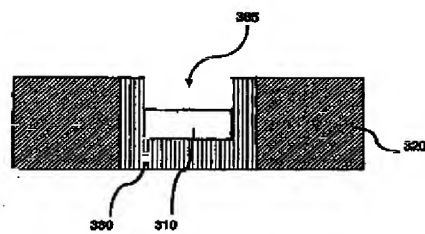
【図4B】



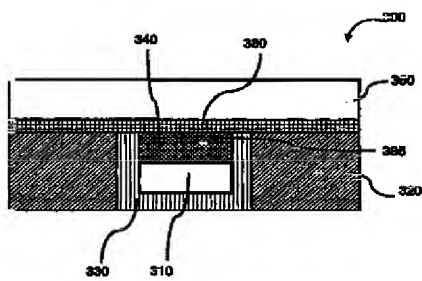
【図4C】



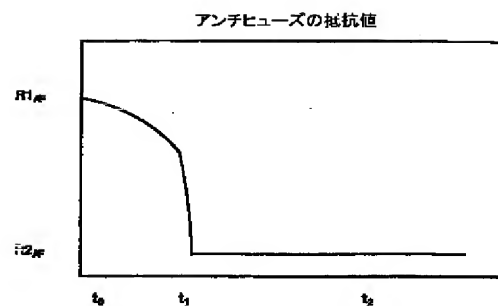
【図4D】



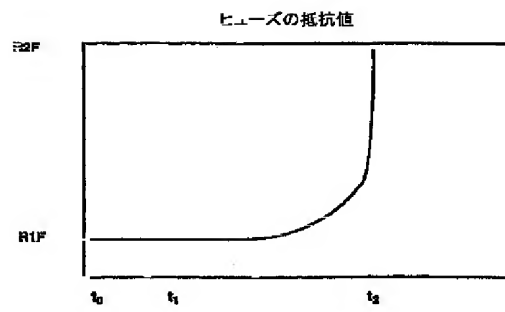
【図4G】



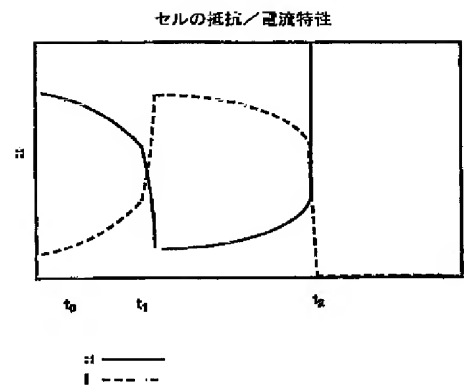
【図5A】



【図5B】



【図5C】



フロントページの続き

Fターム(参考) 5F083 CR12 CR14 JA36 JA37 JA38
JA39 JA56 PR09 PR40